

POLITECHNIKA WARSZAWSKA
WYDZIAŁ ELEKTRONIKI I TECHNIK INFORMACYJNYCH
INSTYTUT MIKROELEKTRONIKI I OPTOELEKTRONIKI



***Projektowanie bloków analogowych dla systemów
VLSI (PSSA)
Projekt***

opracowanie:
Jakub Kopański
e-mail: J.Kopanski@imio.pw.edu.pl

1. Cel projektu

W ramach zajęć należy wykonać projekt wzmacniacza niskoszumowego, zwanego w dalszej części *LNA* (ang. *low noise amplifier*). Zadanie należy wykonać w środowisku *Virtuoso* firmy *Cadence*, wykorzystując technologie firmy *UMC* (*United Microelectronics Corporation*) o wymiarze charakterystycznym 65 nm.

LNA jest pierwszym blokiem w torze odbioru radiowego. Jego zadaniem jest zapewnienie małego współczynnika szumów, przy na tyle dużym wzmocnieniu, aby szumy kolejnych stopni odbiornika były do pominięcia.

1.1. Wymagania i założenia projektowe

Szczegółowe wymagania projektowe przedstawione są w tabeli 1.1. Proszę zwrócić uwagę na to, że nie ma podanych wymagań na powierzchnię układu i pobór prądu. Powyższe 2 parametry należy możliwie zminimalizować przy zachowaniu limitów określonych w tabeli 1.1.

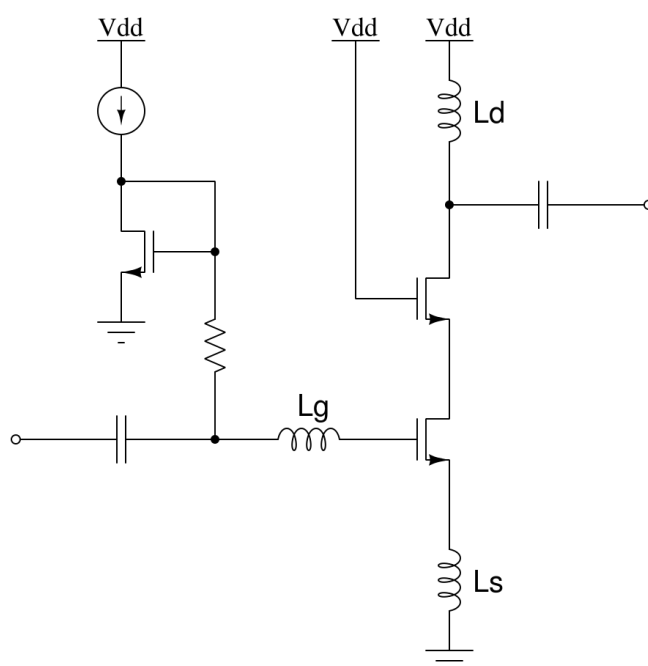
Tabela 1.1: Wymagania projektowe

Parametr	Wartość
Pasma	2570 MHz - 2620 MHz
Napięcie zasilania	1.2 V
Wzmocnienie	18 dB
Współczynnik szumów (NF)	2 dB
Liniowość (punkt 1 dB kompresji)	
IIP3	-10 dBm
Izolacja	20 dB

W projekcie można użyć prądu referencyjnego o dokładności $\pm 5\%$, którego wartość należy ustalić z prowadzącym zajęcia.

2. Proponowany proces projektowania LNA

Niniejszy rozdział prezentuje proponowany sposób projektowania *LNA*. Szczegółowa pomoc dotycząca obsługi oprogramowania i ustawiania symulacji zawarta jest w [1] (dokument ten zostanie udostępniony podczas zajęć).



Rysunek 2.1: Proponowany schemat elektryczny wzmacniacza.

2.1. Dobór optymalnej szerokości tranzystora

W pracy [2] zaproponowany został wzór 2.1 na optymalną szerokość kanału tranzystora wykorzystywanego w LNA. Dla nowoczesnych technologii o małym wymiarze charakterystycznym wymiary tranzystora uzyskanego przy pomocy wzoru 2.1 są bardzo duże. Obliczenie W_{opt} według wzoru 2.1 daje punkt startowy i jest wartościowym eksperymentem, dlatego obliczenie tego parametru powinno znaleźć się w sprawozdaniu.

$$W_{opt} \approx \frac{1}{3\omega_0 L_{eff} C_{ox} R_s} \quad (2.1)$$

W pracy [3] zaproponowano empiryczne podejście, które należy powtórzyć w projekcie. Bazując na schemacie przedstawionym na rys. 2.1 należy wykonać szereg symulacji, aby określić optymalne wymiary tranzystora. Zwierając cewki L_s i L_g trzeba przeprowadzić

wiele analiz parametrów rozproszenia S (*sp*). Zmieniając wymiary tranzystorów W , L , nf (ang. *number of fingers*) oraz punkt pracy należy znaleźć możliwie małą wartość NF_{min} .

Podczas tych symulacji należy mieć na uwadze również inne parametry wzmacniacza. Wybór długości kanału tranzystora zwyczajowo odbywał się arbitralnie. W starszych technologiach korzystano z minimalnej możliwej długości kanału, ponieważ współczynnik szumów wzmacniacza $F_{min} \propto \frac{\omega}{\omega_T}$. We współczesnych nanometrowych technologiach CMOS możliwe jest osiągnięcie dużych wartości f_T nie tylko dla tranzystorów o minimalnej długości kanału. Dlatego warto sprawdzić, czy możliwe jest osiągnięcie małych wartości współczynnika NF_{min} dla tranzystorów o większym L niż L_{min} .

Kolejnym parametrem jest prąd polaryzacji, oraz wartość napięcia $V_{od} = V_{GS} - V_{th}$. Większa wartość V_{od} przekłada się na większe f_T (co poprawia NF_{min}) oraz poprawia liniowość (punkt $1dB$ kompresji wzmocnienia). Jednak przy stałych wymiarach tranzystora większe napięcie V_{od} , to większy pobór prądu.

W pierwszym podejściu oba tranzystory mogą mieć takie same wymiary.

2.2. Wyjściowy obwód dopasowujący

Mając dobrane wymiary tranzystorów (czyli znając ich impedancję wyjściową) można dobrać wartość indukcyjności L_d oraz kondensatora separującego. Razem z obciążeniem w postaci 50Ω elementy te powinny stanowić obwód rezonansowy na częstotliwości pracy wzmacniacza. Pomocny w tym zadaniu jest wykres współczynnika odbicia Γ_{out} (czyli parametru S_{22} uzyskanego z analizy *sp*). Należy minimalizować wartość S_{22} w skali logarytmicznej, lub sprawić, aby dla interesujących nas częstotliwości położenie S_{22} znajdowało się jak najbliżej środka wykresu Smith'a.

2.3. Wejściowy obwód dopasowujący

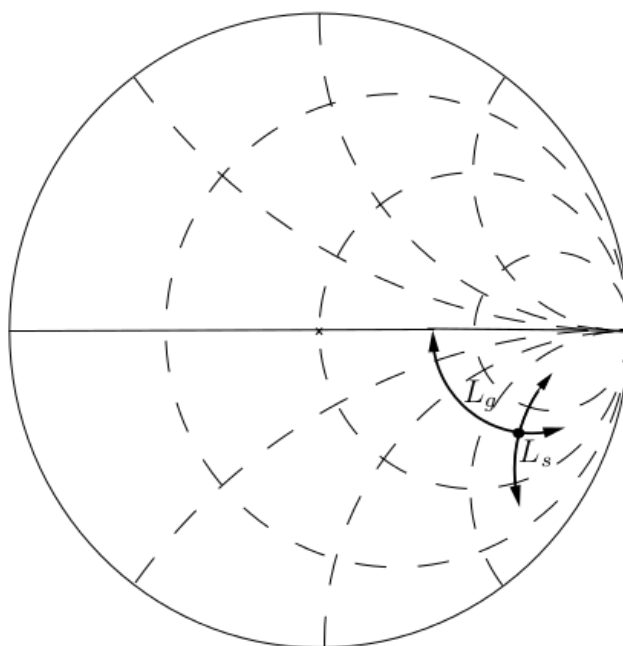
Impedancja widziana od strony wejścia jest opisana wzorem 2.2.

$$Z_{in} = \frac{g_m L_s}{C_{gs}} + j \left(\frac{\omega^2 (L_g + L_s) C_{gs} - 1}{\omega C_{gs}} \right) \quad (2.2)$$

Wartość L_s należy tak dobrać, aby część rzeczywista impedancji wejściowej była równa impedancji źródła sygnału (50Ω). Następnie wartość L_g dobierana jest tak, aby część urojona impedancji wyjściowej dla częstotliwości pracy wzmacniacza była równa 0. Innymi słowy, dodane cewki mają niwelować wpływ pojemności pomiędzy bramką a źródłem tranzystora na wejściu wzmacniacza. Zachowanie impedancji wejściowej w zależności od wartości cewek ilustruje rys. 2.2.

$$L_s = \frac{R_s C_{gs}}{g_m} \quad (2.3)$$

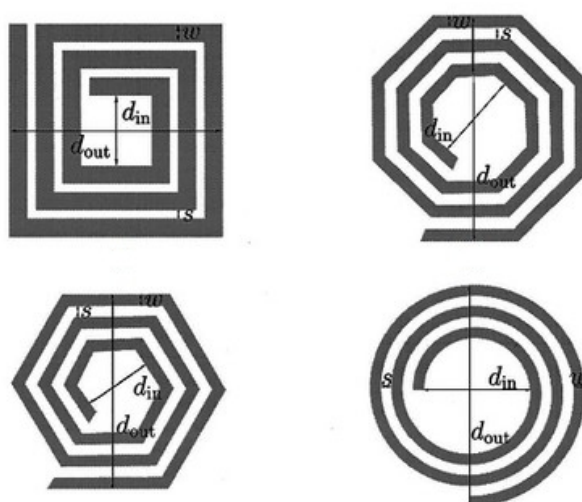
$$L_g = \frac{1 - \omega_0^2 L_s C_{gs}}{\omega_0^2 C_{gs}} \quad (2.4)$$



Rysunek 2.2: Zasada dopasowania wejścia. Źródło: [3]

2.4. Scalone cewki indukcyjne

Układy scalone na częstotliwości radiowe charakteryzują się tym, że jakość ich działania silnie zależy od jakości użytych elementów pasywnych. Szczególnie często wykorzystywanym elementem, których nie spotyka się w innej klasie układów są cewki. W technologiach CMOS najczęściej realizowane są jako cewki spiralne, wykonane ze ścieżek metalizacji. Często w tym celu wykorzystuje się najwyższy metal, który często jest grubszy.



Rysunek 2.3: Spiralne cewki o różnych kształtach

Na rys. 2.3 przedstawiono najczęściej spotykane kształty spiralnych cewek. Wartość indukcyjności takiej cewki jest skomplikowaną funkcją geometrii. Określenie dokładnej wartości wymaga użycia symulatorów elektro-magnetycznych, jednak do *bardzo* przybliżonych obliczeń można użyć wzoru:

$$L \approx \mu_0 n^2 r = 4\pi 10^{-7} n^2 r \approx 1.2 \times 10^{-6} n^2 r \quad (2.5)$$

gdzie L jest indukcyjnością w Henrach, n oznacza liczbę pętli, a r promień cewki [2]. Wzór 2.5 jest słuszny dla kwadratowych cewek spiralnych. W celu określenia wartości indukcyjności cewki innego rodzaju należy obliczyć wartość indukcyjności dla cewki kwadratowej o takich samych wymiarach, a następnie pomnożyć otrzymaną wartość przez pierwiastek kwadratowy ze stosunku powierzchni obu cewek. Dla cewek spiralnych będzie to $\sqrt{\frac{\pi}{4}} \approx 0.89$ i 0.91 dla ośmiokątnych.

2.4.1. Cewki w technologii UMC 65 nm

Producent technologii używanej w projekcie - firma *UMC*, przygotowała bardzo wygodny w użyciu zestaw *pcell* (ang. *parametrized cell*) dla cewek. Rys. 2.4 przedstawia okno parametryzacji cewki. Możliwe jest podanie wszystkich wymiarów geometrycznych cewki, czyli: szerokość ścieżki, odstęp pomiędzy ścieżkami, średnica oraz ilość pętli. Wówczas kod zawarty w *pcell* obliczy parametry cewki, takie jak indukcyjność i dobroć dla zadanej częstotliwości. Można również podać potrzebną wartość indukcyjności i skorzystać z automatycznej kalkulacji wymiarów. W takim przypadku możliwa jest maksymalizacja dobroci lub minimalizacja powierzchni zajmowanej przez cewkę.

CDF Parameter	Value	Display
Model Name	1_slcr30k_rfvi1	off
Mode	Single Ended	off
metalOption	1P8M1T0F1U	off
Outer Diameter	153.82u M	off
Metal Width	2.2u M	off
Metal Spacing	2.3u M	off
Number of Turns	7.5	off
Freq	2.595G Hz	off
Inductance	9.997472n H	off
Q	10.0676	off
Area (um^2)	32892.82	off
SRF	9.023949G Hz	off
Parameters	valid	off
Plot		
Desired inductance	10n H	off
Minimum Q	none	off
Max area (um^2)	772130.0	off
Delta L (percent)	1	off
Bandwidth	0 Hz	off
Minimum SRF	0 Hz	off
Objective	Maximize Q	off
Find optimal inductor		

Rysunek 2.4: Parametryzacja cewek dostępnych w technologii *UMC* 65 nm

3. Sprawozdanie

Projekt oceniany jest na podstawie sprawozdania. Powinno zawierać następujące informacje:

- Wartości parametrów wszystkich elementów:
 - wymiary tranzystorów,
 - wartość elementów pasywnych
- Inne parametry wynikające z poprzedniego punktu:
 - punkty pracy tranzystorów,
 - parametry małosygnalowe przyrządów,
 - uzasadnienie użycia danego typu elementów pasywnych (używana technologia oferuje wiele rodzajów cewek i kondensatorów)
 - inne parametry elementów pasywnych (jak dobroci cewek)
- Przebiegi i wykresy weryfikujące działanie układu:
 - analiza małosygnalowa (sp):
 - współczynnik szumów NF i NF_{min} ,
 - wykresy parametrów macierzy S ,
 - wzmacnienie układu (wszystkie 3)
 - analiza wielosygnalowa (hb) (wyniki powinny być zgodne z uzyskanymi podczas analizy sp)
 - współczynnik szumów,
 - punkt 1 dB kompresji wzmacnienia,
 - THD (ang. *total harmonic distortion*),
 - produkt intermodulacji 3 rzędu, IIP3 (ang. *3rd order intercept point*)
- Uzyskane parametry wzmacniacza, zajęta powierzchnia i pobór prądu
- Topografia układu
- Weryfikacja działania układu po ekstrakcji elementów pasożytniczych

Układ powinien być również zweryfikowany podczas zaburzeń procesu produkcyjnego.

Bibliografia

- [1] Cadence Design Systems. LNA design using SpectreRF. Materiały SpectreRF Workshop dla użytkowników oprogramowania MMSIM.
- [2] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed. Cambridge: Cambridge University Press, 2004.
- [3] D. Pieńkowski, “CMOS low-noise amplifier design for reconfigurable mobile terminals,” Rozprawa doktorska, Technischen Universität Berlin, 2004. [Online]. Available: www.pienkowski.com/index.php/rozprawa-doktorska